

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-067776

(43)Date of publication of application : 19.03.1993

(51)Int.Cl. H01L 29/784  
H01L 21/336

(21)Application number : 03-229272

(71)Applicant : FUJITSU LTD

(22)Date of filing : 10.09.1991

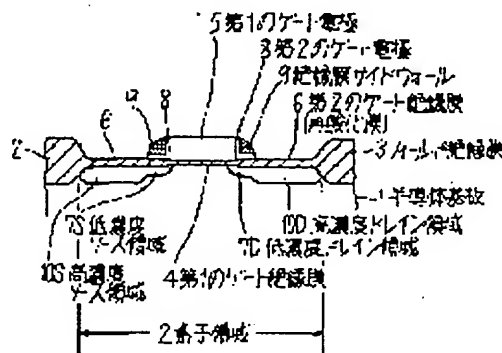
(72)Inventor : TAMURA NAOYOSHI  
KIKUCHI NOBUO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To provide a uniform threshold value and transmission inductance, less characteristics variation due to hot carrier effect and highly reliable and stable characteristics regarding a manufacturing method of a GOLD structure MOSFET.

**CONSTITUTION:** Ion implantation of first impurities is carried out to an element region 2 wherein a gate insulating film 4 and a gate electrode 5 are formed using a gate electrode 5 as a mask, an oxidation-resistant film side wall is formed at a side of the gate electrode 5, a surface of the element region 2 is re-oxidized to form a gate insulating film 6 and the oxidation-resistant film is removed. Ion implantation of first impurities is performed for the element region 2 using the gate electrode 5 as a mask, a conductive layer is formed on the element region 2, an insulating film side wall 9 is formed at a sidewall part of the gate electrode 5 with a conductive layer, a conductive layer which is exposed through wet etching is removed to form a gate electrode extension part 8 and ion implantation of second impurities is performed for an element region using the gate electrode 5 having the insulating film side wall 9 as a mask.



## LEGAL STATUS

[Date of request for examination] 18.08.1998

[Date of sending the examiner's decision of rejection] 12.09.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

特開平 5 - 6 7 7 7 6

(43) 公開日 平成5年(1993)3月19日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/784			
	21/336			
		8225 - 4 M	H 0 1 L	29/78
		8225 - 4 M		3 0 1 G
		8225 - 4 M		3 0 1 P
				3 0 1 L
	審査請求 未請求	請求項の数 2		(全 8 頁)

(21) 出願番号 特願平3-229272

(22) 出願日 平成3年(1991)9月10日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 田村 直義

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 菊池 信男

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

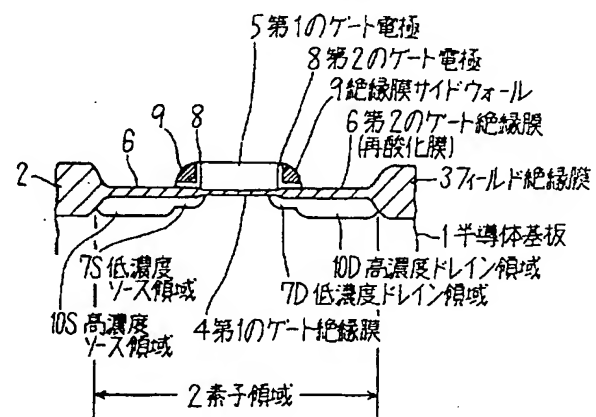
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 GOLD構造MOSFETの製造方法に関し、しきい値や伝達コンダクタンスが均一で、且つホットキャリア効果による特性変動も少なく、高信頼で安定した特性を有せしめることを目的とする。

【構成】 ゲート絶縁膜4、ゲート電極5を形成した素子領域2に、ゲート電極5をマスクにして第1の不純物をイオン注入し、ゲート電極5の側面に耐酸化膜サイドウォールを形成し、素子領域2面を再酸化しゲート絶縁膜6を形成し、耐酸化膜を除去し、ゲート電極5をマスクにして素子領域2に第1の不純物をイオン注入し、素子領域2上に導電層を形成し、該導電層を有するゲート電極5の側壁部に絶縁膜サイドウォール9を形成し、ウェットエッチにより表出する導電層を除去してゲート電極延長部8を形成し、絶縁膜サイドウォール9を有するゲート電極5をマスクにし素子領域に第2の不純物をイオン注入する工程を含み構成する。

本発明の原理説明用模式断面図



1

## 【特許請求の範囲】

【請求項1】 半導体基板面が表出する素子領域上にゲート絶縁膜を形成し、次いで第1の導電層を形成する工程、

異方性ドライエッチング手段を用い該ゲート絶縁膜をストップパにして該第1の導電層をパターンニングしゲート電極を形成する工程、

該ゲート電極上を含む素子領域上に耐酸化膜を堆積し、該耐酸化膜を異方性ドライエッチング手段により該ゲート絶縁膜をストップパにして全面エッチングし、該ゲート電極の側壁面に耐酸化膜サイドウォールを形成する工程、

該耐酸化膜サイドウォールをマスクにして選択酸化を行い、素子領域上に再酸化膜を形成する工程、

ウェットエッチング手段により該耐酸化膜サイドウォールを除去する工程、

該ゲート電極をマスクにして素子領域内に選択的に第1の不純物をイオン注入する工程、

該ゲート電極上を含む素子領域上に第2の導電層を形成する工程、

該第2の導電層上に絶縁膜を堆積し、該絶縁膜を異方性ドライエッチング手段により該第2の導電層をストップパにして全面エッチングし、該第2の導電層を有するゲート電極の側壁面に絶縁膜サイドウォールを形成する工程、

該絶縁膜サイドウォールをマスクにし該再酸化膜をストップパとしてウェットエッチング手段により表出する第2の導電層を選択的に除去し、該絶縁膜サイドウォールの下部に該第2の導電層からなり該ゲート電極に該ゲート電極の側壁面で導通するゲート電極延長部を形成する工程、

該絶縁膜サイドウォールを有するゲート電極をマスクにし素子領域内に選択的に第2の不純物をイオン注入する工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板面が表出する素子領域上にゲート絶縁膜を形成し、次いで第1の導電層を形成し、次いで第1の耐酸化膜を形成する工程、

異方性ドライエッチング手段を用い該ゲート絶縁膜をストップパにして該第1の耐酸化膜及び第1の導電層をパターンニングし該第1の耐酸化膜を上部に有するゲート電極を形成する工程、

該ゲート電極上を含む素子領域上に第2の耐酸化膜を堆積し、該第2の耐酸化膜を異方性ドライエッチング手段により該ゲート絶縁膜をストップパにして全面エッチングし、該ゲート電極の側壁面に第2の耐酸化膜サイドウォールを形成する工程、

該第1の耐酸化膜及び該第2の耐酸化膜サイドウォールをマスクにして選択酸化を行い、素子領域上に再酸化膜を形成する工程、

ウェットエッチング手段により該第1の耐酸化膜及び該

2

第2の耐酸化膜サイドウォールを除去する工程、

該ゲート電極をマスクにして素子領域内に選択的に第1の不純物をイオン注入する工程、

該ゲート電極上を含む素子領域上に第2の導電層を形成する工程、

該第2の導電層上に絶縁膜を堆積し、該絶縁膜を異方性ドライエッチング手段により該第2の導電層をストップパにして全面エッチングし、該第2の導電層を有するゲート電極の側壁面に絶縁膜サイドウォールを形成する工程、

該絶縁膜サイドウォールをマスクにし該再酸化膜をストップパとしてウェットエッチング手段により表出する第2の導電層を選択的に除去し、該絶縁膜サイドウォールの下部に該第2の導電層からなり該ゲート電極に該ゲート電極の側壁面で導通するゲート電極延長部を形成する工程、

該絶縁膜サイドウォールを有するゲート電極をマスクにし素子領域内に選択的に第2の不純物をイオン注入する工程を含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法、特にGOLD (Gate Over Lapped Drain) 構造のMOSFETの製造方法に関する。

【0002】 VLSIに用いるMOSFETにおいては、その集積度の向上に伴って素子の微細化が進行しているが、一方、例えばメモリーにおいてはTTL等との互換性を可能にするために電源電圧を5Vにする必要が生じている。そのため上記MOSFETにおいては、微細化され、ショートチャネル化された際にもソースドレイン間耐圧が確保され、且つショートチャネル効果を抑制し得るように、LDD (Lightly Doped Drain) 或いはDDD (Double Doped Drain) 構造が提案された。

【0003】 図4はLDD構造MOSFETの模式断面図、図5はDDD構造MOSFETの模式断面図である。これらの図において、51はp-型シリコン(Si)基板、52は素子領域、53はフィールド酸化膜、54はゲート酸化膜、55はゲート電極、56Sは低濃度ソース領域、56Dは低濃度ドレイン領域、57は酸化シリコン(SiO<sub>2</sub>)サイドウォール、58Sは高濃度ソース領域、58Dは高濃度ドレイン領域、59S、59Dは低濃度リンドーブ層を示す。

【0004】 しかし、図5に示すDDD構造には、ドレイン近傍の電界緩和によってドレイン耐圧の向上が図られるために低濃度リンドーブ層59S、59Dをゲート電極55の下部領域に引き延ばさなければならず、そのためにショートチャネル耐圧が劣化し、且つゲートとドレインとの重なり容量の増大に伴う寄生容量の増大により動作速度が低下するという問題があり、現在では専ら図4に示すLDD構造が多く用いられる傾向にある。

【0005】 しかしながら、このLDD構造も、ショー

トチャネル効果の抑制には有効であるが、以下のような問題点を有する。① ホットキャリア効果に対し、ストレス印加初期に大幅な特性劣化がみられ、nMOSFETの場合、しきい値の上昇、伝達コンダクタンスの低下、pMOSFETの場合、しきい値の低下、伝達コンダクタンスの増加を生ずる。

【0006】これは、ドレイン近傍の高電界によって加速された電子がドレインアバランシェを起こさせていわゆる「ホット電子」を作り出し、図4に示すように、そのホット電子( $e_h$ )が、ゲート酸化膜54中に注入されてゲート電極55に負電圧を印加したのと同じ状態になり、また低濃度ドレイン領域56D上の酸化膜に注入されて低濃度ドレイン領域55Dに負電圧を印加したのと同じ状態になることによる。

【0007】② サイドウォール57の形成に際してSi基板51面がエッチングストップになり、このSi基板51の表面もエッチングされるためにそこから汚染が侵入し、またゲート電極55の側面に形成される絶縁膜サイドウォール57による圧縮応力によって基板51面に欠陥を生じ、これらによって特性の劣化を生ずる。

【0008】このようなLDD構造の問題点を解決するために、近年、LDD構造における低濃度ソース領域及び低濃度ドレイン領域上にもゲート電極を延長し、低濃度ドレイン領域上の酸化膜中に注入されるホットキャリアによる電位をゲート電極の電位によって中和して、しきい値や伝達コンダクタンスの変動を抑止したGOLD (Gate Over Lapped Drain) 構造のMOSFETが提案された。

【0009】

【従来の技術】従来、上記GOLD構造のMOSFETは、以下に図6の工程断面図を参照して示す方法により形成されていた。

【0010】図6(a) 参照

即ち、まず、例えば $p^-$ 型Si基板51面に素子領域52を画定分離するフィールド酸化膜53を形成した後、素子領域52上に第1のゲート酸化膜60を形成し、次いでこの基板上に例えば $n^+$ 型の第1のポリSi層161を形成し、その表面にエッチングストップとなる第2のゲート酸化膜62を形成した後、その上に同じく $n^+$ 型の第2のポリSi層163を形成し、次いでその表面に $SiO_2$ 膜64を形成する。

【0011】図6(b) 参照

次いで、 $SiO_2$ 膜64及び第2のポリSi層163を前記第2のゲート酸化膜62をエッチングストップとしてチャネル長に対応する所定の幅にパターンニングして、上面に $SiO_2$ 膜64を有する第2のポリSiゲート電極63を形成し、次いでこの第2のゲート電極63をマスクにし、第1のポリSi層161及び第1のゲート酸化膜60を通して基板51面に $P^+$ を低濃度にイオン注入する。(156S及び156Dは低濃度 $P^+$ 注入領域) 図6(c) 参照

次いで、上記基板上に例えばCVD- $SiO_2$ 膜を形成し、異方

性ドライエッチング手段により第1のポリSi層161をストップとして全面エッチングを行い、第2のゲート電極63の側面に選択的に $SiO_2$ 膜サイドウォール65を形成する。

【0012】図6(d) 参照

次いで上面に $SiO_2$ 膜64を有し側面に $SiO_2$ 膜サイドウォール65を有する第2のゲート電極63をマスクにし、第1のゲート酸化膜60をストップとして異方性ドライエッチング手段により第1のポリSi層161を選択的にエッチング除去して第1のポリSiゲート電極61を形成し、次いでこの第1のゲート電極61をマスクにし基板内に砒素(As)を高濃度にイオン注入し、以後、所定のアニール処理を行い、前記低濃度 $P^+$ 注入領域156S、156D及び上記高濃度砒素注入領域を活性化して、 $n^-$ 型の低濃度ソース領域56Sと低濃度ドレイン領域56D、及び $n^+$ 型の高濃度ソース領域58Sと高濃度ドレイン領域58Dを形成する方法である。

【0013】このような従来方法で形成されるGOLD構造MOSFETにおいては、上記製造工程の都合上、ゲート電極が、エッチングストップとして用いた第2のゲート酸化膜62を介して、ゲートとして直接機能する第1のゲート電極61とゲート電圧が直接印加される第2のゲート電極63とが積層された2層構造になるために、第2のゲート電極63に印加されるゲート電圧は、しきい値に比べて大幅に高い電圧が必要になってFETの電圧駆動能力が低下し、また、低濃度のソース領域56S及びドレイン領域56Dが、第1のポリSi層154を通しての不純物のイオン注入により形成されるため、ピーク濃度の深さの制御が不安定になってその不純物濃度が変動し、素子特性にばらつきを生ずるという問題があった。

【0014】また、上記ゲート電圧の上昇を避けるために第1のゲート電極に直にゲート電極を印加できるようにするためにはコンタクト形成工程が大幅に複雑化するという問題があった。

【0015】そこで従来、上記ゲート電圧の上昇を回避するするために、ゲート電極を一層構造になし、低濃度のソース及びドレイン領域を形成する際の不純物のイオン注入を基板軸に対して大きな角度を有する斜め方向から行ってゲート電極の下部に低濃度のソース及びドレイン領域を形成する方法も試みられたが、この方法では、イオン注入角度がイオン注入装置に依存するために、半導体基板面全域に渡って均一な幅及び濃度を有する低濃度のソース及びドレイン領域を形成することは困難であり、伝達コンダクタンスにばらつきを生ずるという問題があった。

【0016】

【発明が解決しようとする課題】そこで本発明は、しきい値や伝達コンダクタンスが均一で、且つホットキャリア効果及び汚染、欠陥等による特性劣化も極度に少なく、高信頼で均一な特性を有するGOLD構造MOSF

ETの製造方法の提供を目的とする。

【0017】

【課題を解決するための手段】上記課題の解決は、半導体基板面が表出する素子領域上にゲート絶縁膜を形成し、次いで第1の導電層を形成する工程、異方性ドライエッチング手段を用い該ゲート絶縁膜をストップにして該第1の導電層をパターンニングしゲート電極を形成する工程、該ゲート電極上を含む素子領域上に耐酸化膜を堆積し、該耐酸化膜を異方性ドライエッチング手段により該ゲート絶縁膜をストップにして全面エッチングし、該ゲート電極の側壁面に耐酸化膜サイドウォールを形成する工程、該耐酸化膜サイドウォールをマスクにして選択酸化を行い、素子領域上に再酸化膜を形成する工程、ウェットエッチング手段により該耐酸化膜サイドウォールを除去する工程、該ゲート電極をマスクにして素子領域内に選択的に第1の不純物をイオン注入する工程、該ゲート電極上を含む素子領域上に第2の導電層を形成する工程、該第2の導電層上に絶縁膜を堆積し、該絶縁膜を異方性ドライエッチング手段により該第2の導電層をストップにして全面エッチングし、該第2の導電層を有するゲート電極の側壁面に絶縁膜サイドウォールを形成する工程、該絶縁膜サイドウォールをマスクにし該再酸化膜をストップとしてウェットエッチング手段により表出する第2の導電層を選択的に除去し、該絶縁膜サイドウォールの下部に該第2の導電層からなり該ゲート電極に該ゲート電極の側壁面で導通するゲート電極延長部を形成する工程、該絶縁膜サイドウォールを有するゲート電極をマスクにし素子領域内に選択的に第2の不純物をイオン注入する工程を含む本発明による半導体装置の製造方法、若しくは、半導体基板面が表出する素子領域上にゲート絶縁膜を形成し、次いで第1の導電層を形成し、次いで第1の耐酸化膜を形成する工程、異方性ドライエッチング手段を用い該ゲート絶縁膜をストップにして該第1の耐酸化膜及び第1の導電層をパターンニングし該第1の耐酸化膜を上部に有するゲート電極を形成する工程、該ゲート電極上を含む素子領域上に第2の耐酸化膜を堆積し、該第2の耐酸化膜を異方性ドライエッチング手段により該ゲート絶縁膜をストップにして全面エッチングし、該ゲート電極の側壁面に第2の耐酸化膜サイドウォールを形成する工程、該第1の耐酸化膜及び該第2の耐酸化膜サイドウォールをマスクにして選択酸化を行い、素子領域上に再酸化膜を形成する工程、ウェットエッチング手段により該第1の耐酸化膜及び該第2の耐酸化膜サイドウォールを除去する工程、該ゲート電極をマスクにして素子領域内に選択的に第1の不純物をイオン注入する工程、該ゲート電極上を含む素子領域上に第2の導電層を形成する工程、該第2の導電層上に絶縁膜を堆積し、該絶縁膜を異方性ドライエッチング手段により該第2の導電層をストップにして全面エッチングし、該第2の導電層を有するゲート電極の側壁面に絶縁膜サイ

ドウォールを形成する工程、該絶縁膜サイドウォールをマスクにし該再酸化膜をストップとしてウェットエッチング手段により表出する第2の導電層を選択的に除去し、該絶縁膜サイドウォールの下部に該第2の導電層からなり該ゲート電極に該ゲート電極の側壁面で導通するゲート電極延長部を形成する工程、該絶縁膜サイドウォールを有するゲート電極をマスクにし素子領域内に選択的に第2の不純物をイオン注入する工程を含む本発明による半導体装置の製造方法によって達成される。

【0018】

【作用】図1は本発明の原理説明用模式断面図で、図中、1は半導体基板、2は素子領域、3はフィールド絶縁膜、4は第1のゲート絶縁膜、5は第1のゲート電極、6は第2のゲート絶縁膜（再酸化膜）、7Sは低濃度ソース領域、7Dは低濃度ドレイン領域、8は薄い第2の導電層からなる第2のゲート電極（ゲート電極延長部）、9は絶縁膜サイドウォール、10Sは高濃度ソース領域、10Dは高濃度ドレイン領域を示している。

【0019】即ち本発明によれば、図1に示すように、第1のゲート電極5の少なくとも側壁面で、第1のゲート電極5に直に接し導通する薄い第2のゲート電極8が再酸化により第1のゲート絶縁膜4よりも厚く形成された第2のゲート絶縁膜6を介して、低濃度ソース領域7S及び低濃度ドレイン領域7D上に延在してなるGOLD構造MOSFETが形成され、駆動時には、第1のゲート電極5と同電位が第2のゲート電極8にも印加されるので、この第2のゲート電極8の電位によって、ホットエレクトロンの注入により低濃度ドレイン領域7D上の絶縁膜6に形成される電位は中和され、ホットエレクトロンによる、しきい値や、伝達コンダクタンスの経時的劣化は防止される。

【0020】また、上記のようなGOLD構造において低濃度ソース領域7S及び低濃度ドレイン領域7D上の第2のゲート電極8は必ずしもゲートとして機能する必要はなく、これらの領域7S及び7Dの上部にホットエレクトロンの電位を中和する正電圧が印加されてそれらの領域7S及び7Dの抵抗の向上が抑えられればよい。従って本発明においては、上記領域7S及び7D上の第2のゲート絶縁膜6は、第1のゲート絶縁膜4を再酸化することにより第1のゲート絶縁膜4よりも厚く形成するので、ゲートドレイン間耐圧の向上、ゲートドレイン間リークの減少が図れる。

【0021】また、低濃度ソース領域7S及び低濃度ドレイン領域7Dの幅を規定する絶縁膜サイドウォール9は、第1のゲート電極5の表面に沿い、且つ薄い導電層からなる第2のゲート電極8の前記第1のゲート電極5による段差部に形成され、この絶縁膜サイドウォール9を形成する際の異方性ドライエッチングにおけるエッチングストップには絶縁膜とエッチングの選択性を有する前記第2の導電層（第2の電極8になる層）が用いられるの

で、絶縁膜サイドウォール9の形成に際し半導体基板面がダメージや汚染を受けることがなく、更に、絶縁膜サイドウォール9は第2のゲート電極8上に形成されるので、基板1面に及ぼす応力は減少してこの応力に起因する欠陥の発生は防止され、また、第2のゲート電極8のパターニングは、前記絶縁膜サイドウォール9をマスクにし、絶縁膜サイドウォール9形成のエッチングストップとして用いた表出する第2のゲート電極8の層をウェットエッチング手段により選択的に除去することによりなされるので、この第2のゲート電極8のパターニングに際しても半導体基板1面がダメージや汚染を受けることがなく、汚染、ダメージに起因する素子特性の劣化も防止される。

#### 【0022】

【実施例】以下本発明を、図示実施例により具体的に説明する。図2は本発明の方法の一実施例の工程断面図、図3は本発明の方法の他の実施例の工程断面図である。

#### 【0023】図2(a) 参照

本発明に係る第1の方法を用いてGOLD構造MOSFETを形成するに際しては、例えばp<sup>-</sup>型Si基板21上に選択酸化手段により、素子領域22を画定分離する厚さ400Å程度のフィールド酸化膜23を形成し、次いで熱酸化により素子領域22上に厚さ100Å程度の第1のゲート酸化膜24を形成した後、この基板上に、従来通りの方法により、例えば厚さ1000Å程度のn<sup>+</sup>型ポリSi層と厚さ1000Å程度のタンゲステンシリサイド(WSi<sub>x</sub>)層が積層されたポリサイドからなる第1のゲート電極25を形成する。

#### 【0024】図2(b) 参照

次いで、上記基板上にCVD法により耐酸化膜である厚さ200Å程度の窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)膜31を堆積する。

#### 【0025】図2(c) 参照

次いで、塩素系のガスをエッチングガスに用いるリアクティブイオンエッチング(RIE)処理により、第1のゲート酸化膜24をストップとしてSi<sub>3</sub>N<sub>4</sub>膜31の全面エッチングを行い、第1のゲート電極25の側壁面のみにSi<sub>3</sub>N<sub>4</sub>膜サイドウォール31Sを残留させる。なお、このRIE処理においてSi基板21面にダメージや汚染を生じさせないためには、Si<sub>3</sub>N<sub>4</sub>膜31の厚さを、第1のゲート酸化膜4の厚さにエッチングの選択比を掛けた値より薄くしておき、Si基板21面の表出を避ける必要がある。

#### 【0026】図2(d) 参照

次いで、上記第1のゲート電極25の側壁面のSi<sub>3</sub>N<sub>4</sub>膜サイドウォール31Sをマスクにし選択酸化を行い、Si基板21面に厚さ100Å程度の再酸化膜(第2のゲート酸化膜)26を形成する。ここで、表出するゲート酸化膜は、厚さ150Å程度の第2のゲート酸化膜26に成長し、第1のゲート電極25の上面にも100Å程度の薄いSiO<sub>2</sub>膜32が形成される。

#### 【0027】図2(e) 参照

次いで、煮沸燐酸(HPO<sub>3</sub>)液によるウェットエッチングを行いゲート電極25側壁面のSi<sub>3</sub>N<sub>4</sub>膜サイドウォール31Sを除去した後、第1のゲート電極25をマスクにし、素子領域22内に所定の低ドーズ量で燐(P<sup>+</sup>)をイオン注入する。このイオン注入は、通常行われるように、150Å程度の薄い第2のゲート酸化膜26を通してなされるので、形成される低濃度P<sup>+</sup>注入領域127S及び127Dのピーク濃度位置の深さの制御は、精度良く行われる。ここでP<sup>+</sup>の注入条件は、例えば加速エネルギー:30KeV、ドーズ量:2×10<sup>13</sup>cm<sup>-2</sup>程度とする。

#### 【0028】図2(f) 参照

次いで、CVD法により上記基板上に第2の導電層である例えば厚さ500Å程度のn<sup>+</sup>型ポリSi層128を堆積し、次いでその上にCVD法により厚さ2000Å程度のSiO<sub>2</sub>膜を堆積し、次いで弗素系のガスを用いるRIE処理により上記SiO<sub>2</sub>膜の全面エッチングを行って、n<sup>+</sup>型ポリSi層128を有する第1のゲート電極25の側面に厚さ2000Å程度のSiO<sub>2</sub>膜サイドウォール29を形成する。なお、このSiO<sub>2</sub>膜サイドウォール29形成に際してのRIE処理のストップとしては素子領域22上に延在するポリSi層128が機能するので、素子領域22のSi基板21面がダメージや汚染を受けることはない。

#### 【0029】図2(g) 参照

次いで、前記SiO<sub>2</sub>膜サイドウォール29をマスクにし、弗硝酸系の液によるウェットエッチングを行い表出するn<sup>+</sup>型ポリSi層129を除去し、第1のゲート電極25の側面部からSiO<sub>2</sub>膜サイドウォール29の直下部に延在し、前記第1のゲート電極25の側面部で第1のゲート電極25に接触導通するn<sup>+</sup>型ポリSi層128からなる第2のゲート電極28を形成する。なお、上記のように第2のゲート電極28のパターニングがウェットエッチングによりなされるので、Si基板21面にはダメージが及ぼされない。また第1のゲート電極25の上面には薄いSiO<sub>2</sub>膜26が存在するので、上記ウェットエッチングに際して、第1のゲート電極25がエッチングされることはない。

#### 【0030】図2(h) 参照

次いで、上記SiO<sub>2</sub>膜サイドウォール30を含む第1のゲート電極25をマスクにし、第2のゲート酸化膜28を通し素子領域22に砒素(As<sup>+</sup>)を、例えば加速エネルギー:50KeV、ドーズ量:1×10<sup>16</sup>cm<sup>-2</sup>程度の条件でイオン注入し、次いで例えば850℃程度の温度でアニール処理を施し、上記As及び前記低濃度P<sup>+</sup>注入領域127S及び127DのPを活性化し、n<sup>+</sup>型高濃度ソース領域30S、n<sup>+</sup>型高濃度ドレイン領域30D、n<sup>-</sup>型低濃度ソース領域27S及びn<sup>-</sup>型低濃度ドレイン領域27Dを形成する。なおこの活性化処理は、後に行われる層間絶縁膜リフローの際の熱処理で兼ねてもよい。

【0031】そして以後、図示しないが、PSGからなる層間絶縁膜の形成、コンタクト窓の形成、層間絶縁膜のリフロー処理、配線形成等がなされ、本発明に係る第1



の方法によるGOLD構造MOSFETが完成する。

【0032】次に、本発明に係る第2の方法の実施例を示す。

図3(a) 参照

本発明に係る第2の方法を用いて例えばnチャネル型のGOLD構造MOSFETを形成するに際しては、第1のゲート酸化膜24の形成された素子領域22上に、厚さ200Å程度の第1のSi<sub>3</sub>N<sub>4</sub>膜を上部に有する第1のゲート電極25を形成した後、この基板上に厚さ200Å程度の第2のSi<sub>3</sub>N<sub>4</sub>膜を堆積し、次いでRIE処理により第1のゲート酸化膜24をストップとして全面エッチングを行い、側面及び上面がSi<sub>3</sub>N<sub>4</sub>膜33で覆われた第1のゲート電極25を形成する。

【0033】図3(b) 参照

次いで、上記Si<sub>3</sub>N<sub>4</sub>膜33をマスクにし100Å程度の再酸化を行う。ここで、表出するゲート酸化膜は厚さ150Å程度の第2のゲート酸化膜26となる。

【0034】図3(c) 参照

次いで、磷酸ボイル処理等のウェットエッチング処理によりSi<sub>3</sub>N<sub>4</sub>膜34を除去した後、第1のゲート電極25をマスクにし第2のゲート酸化膜26を通し、前記実施例同様の条件で低濃度ソース、ドレイン領域形成用のP<sup>+</sup>をイオン注入する。この際、P<sup>+</sup>注入領域127S及び127Dのピーク濃度位置の深さが精度良く制御できるのは、前記実施例同様である。

【0035】図3(d) 参照

次いで、この基板上にCVD法により厚さ500Å程度のn<sup>+</sup>型ポリSi層128を堆積し、次いでその上にCVD法により厚さ2000Å程度のSiO<sub>2</sub>膜を堆積し、弗素系ガスによるRIE処理を行い、n<sup>+</sup>型ポリSi層128を有する第1のゲート電極25の側面部にSiO<sub>2</sub>膜サイドウォール29を形成する。なお、この際のエッチングストップとしては、素子領域22上に延在するn<sup>+</sup>型ポリSi層128が機能するので、第2のゲート酸化膜28やSi基板21面にダメージや汚染が及ぼされることはない。

【0036】図3(e) 参照

次いで、前記実施例同様に、SiO<sub>2</sub>膜サイドウォール29をマスクにしウェットエッチングにより表出するn<sup>+</sup>型ポリSi層128を除去して第1のゲート電極25の少なくとも側面からSiO<sub>2</sub>膜サイドウォール29の直下まで延在する上記n<sup>+</sup>型ポリSi層128からなる第2のゲート電極28を形成し、SiO<sub>2</sub>膜サイドウォール29を含む第1のゲート電極25をマスクにし、第2のゲート酸化膜26を通し素子領域22に砒素(As<sup>+</sup>)を前記実施例同様の条件でイオン注入し、次いで前記実施例同様の活性化処理を施し、n<sup>+</sup>型高濃度ソース領域30S、n<sup>+</sup>型高濃度ドレイン領域30D、n<sup>-</sup>型低濃度ソース領域27S及びn<sup>-</sup>型低濃度ドレイン領域27Dを形成する。この活性化処理を、後に行われる層間絶縁膜のリフロー処理で兼ねてもよいことは、

前記実施例と同様である。

【0037】以後、図示しないが、PSGからなる層間絶縁膜の形成、コンタクト窓の形成、層間絶縁膜のリフロー処理、配線形成等がなされ、本発明のに係る第2の方法によるGOLD構造MOSFETが完成する。

【0038】上記実施例に示したように本発明によれば、低濃度ソース、ドレイン領域形成のための不純物のイオン注入が薄い再酸化によるゲート絶縁膜を通してなされるので、そのピーク濃度の深さを高精度に制御することが可能で、低濃度ソース、ドレイン領域の抵抗値を均一化することができ、均一な伝達コンダクタンスが得られる。

【0039】また、製造工程中のドライエッチングに際し、ゲート酸化膜やその下部の半導体基板面がエッチング雰囲気及びプラズマに直に曝されることがないので、素子を構成するゲート酸化膜や半導体基板面にダメージや汚染を生ずることがなく、ダメージや汚染に起因する素子特性の劣化を防止することができる。

【0040】

【発明の効果】以上説明のように本発明によれば、ショートチャネル効果を防止し、且つホットキャリア効果による特性劣化を防止するGOLD構造MOSFETを、均一な伝達コンダクタンス特性を有し、製造工程中のダメージや汚染に起因する特性劣化を生ぜずに製造することができる。

【0041】従って本発明は、VLSIの信頼性及び歩留りの向上に寄与するところが大い。

【図面の簡単な説明】

【図1】 本発明の原理説明用模式断面図

【図2】 本発明の一実施例の工程断面図

【図3】 本発明の他の実施例の工程断面図

【図4】 LDD構造MOSFETの模式断面図

【図5】 DDD構造MOSFETの模式断面図

【図6】 従来のGOLD構造MOSFETの製造工程断面図

【符号の説明】

1 半導体基板

2 素子領域

3 フィールド絶縁膜

4 第1のゲート絶縁膜

5は第1のゲート電極

6は第2のゲート絶縁膜(再酸化膜)

7Sは低濃度ソース領域

7Dは低濃度ドレイン領域

8は第2のゲート電極(ゲート電極延長部)

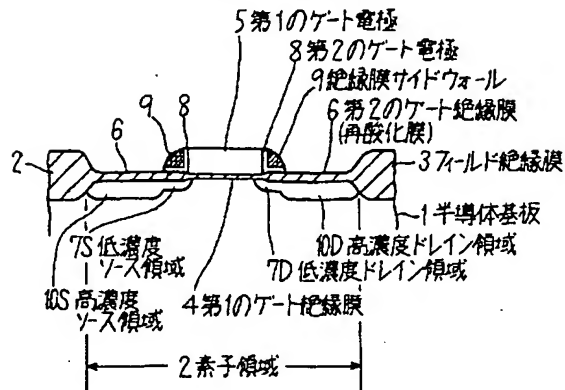
9は絶縁膜サイドウォール、

10Sは高濃度ソース領域

10Dは高濃度ドレイン領域

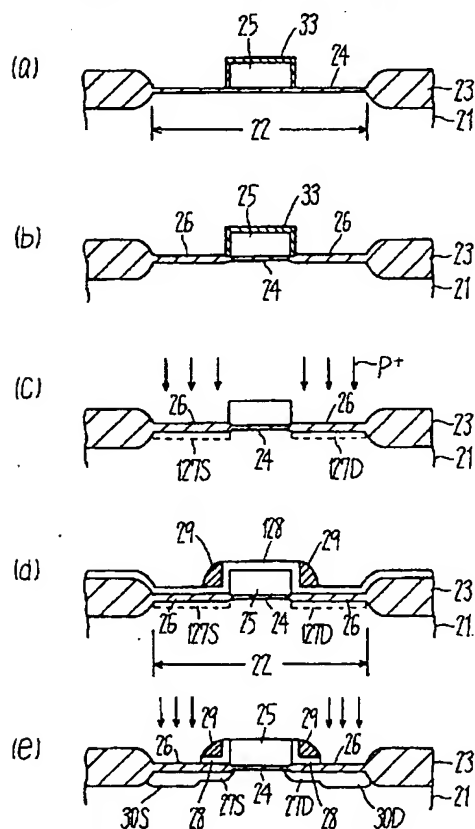
【図1】

本発明の原理説明用模式断面図



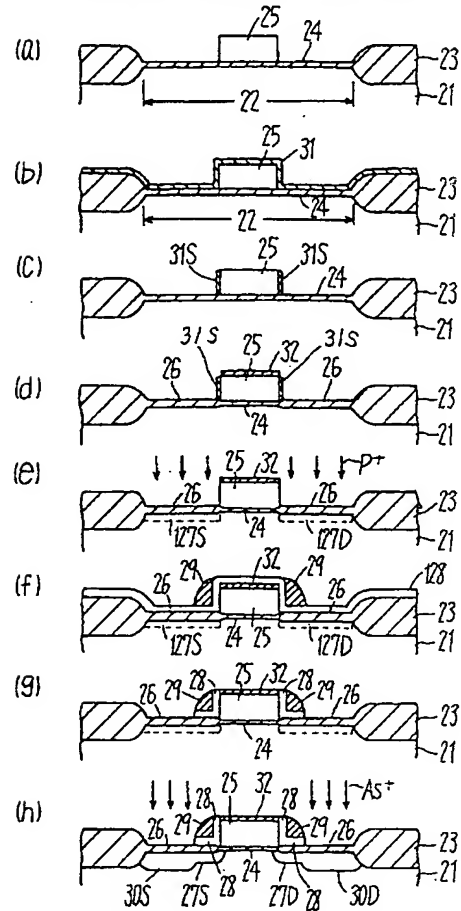
【図3】

本発明の他の実施例の工程断面図



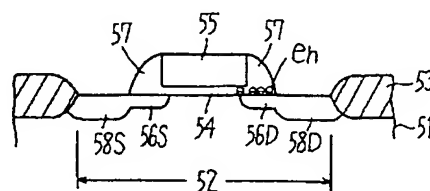
【図2】

本発明の一実施例の工程断面図



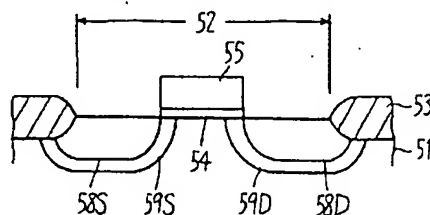
【図4】

LDD構造MOSFETの模式断面図



【図5】

DDD構造MOSFETの模式断面図



【図6】

従来のGOLD構造MOSFETの製造工程断面図

